

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074654
 (43)Date of publication of application : 17.03.1995

(51)Int.Cl. H03M 9/00
 G06F 7/00
 H04J 3/04

(21)Application number : 05-218894
 (22)Date of filing : 02.09.1993

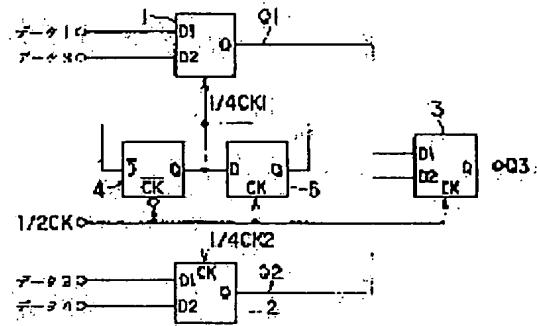
(71)Applicant : TOSHIBA CORP
 (72)Inventor : KURIYAMA YASUHIKO

(54) MULTIPLEX CIRCUIT

(57)Abstract:

PURPOSE: To speed the multiplication of data by adjusting the timing of clock by using the only output between the master part and the slave part of a T flip-flop operating with the half frequency of data late.

CONSTITUTION: The 1st-3rd selector circuits 1-3 and a timing circuit consisting of a T flip-flop master part 4 and a T flip-flop slave part 5. A clock 1/2CK is provided with the frequency which is a half of that of the data late of a signal outputted from the 3rd selector circuit at the final stage. The clock 1/4CKs 1 and 2 have the frequency which is a fourth of the data late. The clock 1/2CK is given from a synchronizing circuit to the reverse input terminal of the clock of the master part 4 and to the clock input terminal of the slave part 5. In short, the timing of clock is adjusted by using the output of the master part 4 of the T flip-flop operating with the frequency which is a half of that of data late and the output of the slave part 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-74654

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 03 M 9/00

B 9382-5 J

G 06 F 7/00

H 04 J 3/04

Z 8226-5K

9188-5B

G 06 F 7/00

S

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21)出願番号

特願平5-218894

(22)出願日

平成5年(1993)9月2日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 栗山 保彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

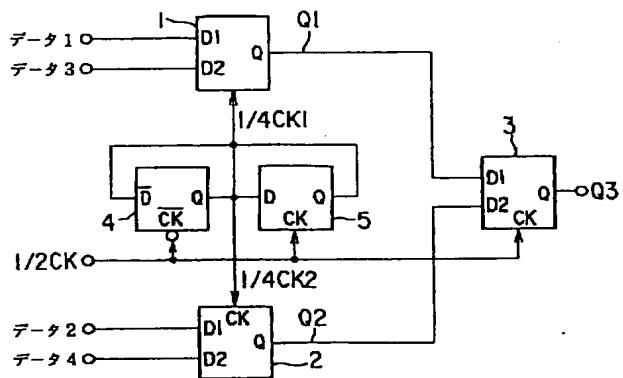
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】多重化回路

(57)【要約】

【目的】より高速動作を可能とする多重化回路を提供すること。

【構成】第1および第2のデータを入力し、データレイトの1/4の周波数の第1クロックに従ってそれらデータ信号を交互に出力する第1のセレクタ手段と、第3および第4のデータ信号を入力し、データレイトの1/4の周波数を有する第2クロックに従ってそれらデータを交互に出力する第2のセレクタ手段と、第1および第2のセレクタ手段の出力信号を入力し、データレイトの1/2の周波数を有する第3クロックに従って、第1および第2のセレクタ手段の出力信号を交互に出力する第3のセレクタ手段と、第1のクロック信号を入力とし、データレイトの1/2の周波数を有する第4のクロック信号に従って、第2クロックを出力するTフリップフロップのマスター部と、第2クロックを入力とし、第4クロック信号に従って、第1クロックを出力するスレーブ部とを備える。



【特許請求の範囲】

【請求項1】第1のデータ信号および第2のデータ信号を入力し、所定のデータレイトの1/4の周波数を有する第1のクロック信号に従って、前記第1のデータ信号および前記第2のデータ信号を交互に出力する第1のセレクタ手段と、

第3のデータ信号および第4のデータ信号を入力し、前記データレイトの1/4の周波数を有する第2のクロック信号に従って、前記第3のデータ信号および前記第4のデータ信号を交互に出力する第2のセレクタ手段と、前記第1のセレクタ手段の出力および前記第2のセレクタ手段の出力を入力し、外部から与えられる前記データレイトの1/2の周波数を有する第3のクロック信号に従って、前記第1のセレクタ手段の出力および前記第2のセレクタ手段の出力を交互に出力する第3のセレクタ手段と、

前記第1のクロック信号を入力とし、外部から与えられる前記データレイトの1/2の周波数を有する第4のクロック信号に従って、前記第2のクロック信号を出力するTフリップフロップのマスター部と、前記第2のクロック信号を入力とし、前記第4のクロック信号に従って、前記第1のクロック信号を出力するTフリップフロップのスレーブ部とを備えたことを特徴とする多重化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多重化回路に関し、特に超高速システムに用いられる高速多重化回路に関する。

【0002】

【従来の技術】多重化回路は、図4に示す電流切り換え型セレクタ回路を基本としてこれを他段接続した回路、およびクロックと多重化すべきデータとのタイミングを合わせるタイミング回路を用いて構成される。

【0003】このような構成の場合、最大動作速度を決めるのは上記タイミング回路であり、高速多重化回路ではこのタイミング回路の善し悪しが重要である。例えば、2対1の多重化回路のような場合には、タイミングの調整を外部で行えばセレクタ回路のみで構成した回路が最も高速に動作する。しかし、図5のように3つの電流切り換え型セレクタ回路11～13を用いて構成した4対1の多重化回路では、4つのデータ1～4、および3つのクロック1/2CK, 1/4CK, 1/4CK2の7つの信号のタイミングを調整しなければならず、10GHz程度以上の高速なデータを取り扱う場合は調整が極めて困難である。図5の回路を最終段とする4対1以上の多重化回路では、クロック調整において困難性がさらに増す。

【0004】一方、1つのクロックで動作するタイミング回路を有する4対1の多重化回路の従来例を図6に示す。この回路では最終段のセレクタ26と前段の2組の

セレクタ21, 22の間にマスタースレイブのDフリップフロップ24, 25をそれぞれ設け最終段のセレクタ26へのクロックとデータのタイミングを合わせている。しかし、タイミング回路の規模が大きくなると、その部分での遅れ時間が無視できなくなるという不具合が発生し、高速動作への適用は難しい。

【0005】

【発明が解決しようとする課題】以上のように、4対1以上の多重化回路では、タイミング回路がその高速性を大きく左右し、タイミング回路の規模が大きくなると、その部分での遅れ時間が無視できなくなるという問題点があった。本発明は、上記問題点を考慮してなされたものであり、より高速動作を可能とする多重化回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の多重化回路では、第1のデータ信号および第2のデータ信号を入力し、所定のデータレイトの1/4の周波数を有する第1のクロック信号に従って、前記第1のデータ信号および

前記第2のデータ信号を交互に出力する第1のセレクタ手段と、第3のデータ信号および第4のデータ信号を入力し、前記データレイトの1/4の周波数を有する第2のクロック信号に従って、前記第3のデータ信号および前記第4のデータ信号を交互に出力する第2のセレクタ手段と、前記第1のセレクタ手段の出力および前記第2のセレクタ手段の出力を入力し、外部から与えられる前記データレイトの1/2の周波数を有する第3のクロック信号に従って、前記第1のセレクタ手段の出力および前記第2のセレクタ手段の出力を交互に出力する第3のセレクタ手段と、前記第1のクロック信号を入力とし、外部から与えられる前記データレイトの1/2の周波数を有する第4のクロック信号に従って、前記第2のクロック信号を出力するTフリップフロップのマスター部と、前記第2のクロック信号を入力とし、前記第4のクロック信号に従って、前記第1のクロック信号を出力するTフリップフロップのスレーブ部とを備えたことを特徴とする。

【0007】前記第1のセレクタ手段、前記第2のセレクタ手段、および前記第3のセレクタ手段は、電流切り換え型セレクタ回路を用いて構成しても良い。前記第3のセレクタ手段は、前記第3のクロックが負のときに選択するデータを前記第1のセレクタ手段の出力とし、前記第3のクロック信号が正のときに選択するデータを前記第2のセレクタ手段の出力としても良い。また、前記第3のセレクタ手段を動作させるクロック信号として、前記第4のクロック信号を用いても良い。

【0008】

【作用】本発明による多重化回路では、前記第3のセレクタ手段の前段の前記第1および第2のセレクタ手段を動作させるクロックとして、データレイトの1/2の周

波数で動作するTフリップフロップのマスター部とスレイブ部との各々の出力を用いた。

【0009】この2つの出力は、互いに90度位相がずれているので、前記第1のセレクタ手段が出力する第1および第2のデータ信号を多重化した出力信号と、前記第2のセレクタ手段が出力する第3および第4のデータ信号を多重化した出力信号とは、多重化された各データ信号の切り替えのタイミングが互いに半周期ずれたものとなる。

【0010】この第1および第2のセレクタ手段の出力信号は、データレイトの1/2の周波数で動作する最終段の第3のセレクタ手段によって多重化される。従って、第3のセレクタ手段からは、データレイトに従って、第1の入力信号、第3の入力信号、第2の入力信号、第4の入力信号の順で多重化されたデータが出力される。

【0011】ここに、本発明による多重化回路では、上記Tフリップフロップのマスター部とスレイブ部との各々の出力のみでクロックのタイミングを合わせるので、このTフリップフロップからなるタイミング回路による遅れが無視でき、加えて、集積規模も大きくしなくてすむので、高速動作に非常に有効である。

【0012】

【実施例】以下、図面を参照しながら実施例を説明する。図1に、本発明の第1の実施例に係る多重化回路を示す。この多重化回路は、第1～第3のセレクタ回路1～3と、Tフリップフロップのマスター部4およびTフリップフロップのスレイブ部5からなるタイミング回路とを用いて構成される。なお、第1～第3のセレクタ回路1～3には、図4のような電流切り換え型セレクタ回路を用いる。また、後述するクロック1/2CKは、最終段にある第3のセレクタ回路3から出力される信号のデータレイトの1/2の周波数を有し、クロック1/4CK1、2は上記データレイトの1/4の周波数を有する。

【0013】前記第1のセレクタ回路1にはデータ1およびデータ3が与えられ、前記第2のセレクタ回路2にはデータ2およびデータ4が与えられ、前記第3のセレクタ回路3には第1のセレクタ回路1によって多重化されたデータ1およびデータ3からなる信号Q1および第2のセレクタ回路2によって多重化されたデータ2およびデータ4からなる信号Q2が与えられる。もちろん、上記データ1～4は、すべて上記データレイトの1/4である。

【0014】前記マスター部4のクロックの反転入力端子および前記スレイブ部5のクロック入力端子には、クロック1/2CKが図示しない同期回路から与えられるとともに、第3のセレクタ回路3のクロック入力端子にも、このクロック1/2CKが与えられる。

【0015】一方、第1のセレクタ回路1へのクロック

1/4CK1は、前記スレイブ部5の出力を用い、第2のセレクタ回路2へのクロック1/4CK2は、前記マスター部4の出力を用いており、この点に本発明の特徴がある。

【0016】ここで、図2に、クロック1/2CK、クロック1/4CK1、クロック1/4CK2、第1のセレクタの出力Q1、第2のセレクタの出力Q2、および第3のセレクタの出力Q3のタイムチャートを示す。

【0017】図2のように、クロック1/4CK1およびクロック1/4CK2はクロック1/2CKを1/2分周したものであり、クロック1/4CK2はクロック1/4CK2からクロック1/2CKの半周期Tに相当する量だけ位相が遅れている。

【0018】前記第1のセレクタ回路1の出力Q1は、このクロック1/4CK1の立ち上がりで、前記第2のセレクタ回路2の出力Q2は、クロック1/4CK2の立ち上がりでそれぞれ選択されているので、これらは互いに半周期ずれた形になる。

【0019】次に、前記第3のセレクタ回路3において、クロック1/2CKの負のときに信号Q1を、クロック1/2CKの正のときに信号Q2を選択すると、図2のQ3に示すように、データ1～データ4が多重化された出力データを得ることができる。

【0020】以上、本発明の多重化回路について説明してきたが、この4対1の多重化回路の前段にさらにセレクタ回路を設ければ、8対1以上の任意の多重化回路を構成することができる。なお、前段に設けるセレクタ回路に与えるクロックは十分に周波数が低いので、これに対応するタイミング回路は従来のもので十分である。

【0021】ここで、本発明では、データレイトの1/2の周波数で動作するTフリップフロップのマスター部4とスレイブ部5との各々の出力のみでクロックのタイミングを合わせるようにしたので、本発明を適用して4対1以上の多重化回路を構成する場合、その最大動作速度は、従来と違ってタイミング回路に律速されることなく、セレクタ回路の動作速度によって決定できる。

【0022】また、これに加えて、従来に比較して集積規模も大きくしなくてすむという利点もある。それゆえ、本発明の多重化回路は、極めて高速に動作させることが可能である。

【0023】次に、本発明の第2の実施例に係る多重化回路について説明する。図3に、本発明に係る多重化回路を示す。この多重化回路は、前述した第1の実施例の多重化回路とほとんど同様の構成を有するが、さらに高速に動作できるように図1の実施例の多重化回路を改良したものであり、前記マスター部4のクロックの反転入力端子および前記スレイブ部5のクロック入力端子に入力するクロック1/2CK1と、前記第3のセレクタ回路3のクロック入力端子に入力するクロック1/2CK2とを独立させた点に特徴がある。

【0024】なお、本実施例の多重化回路の動作は、図1に示した多重化回路の動作とほとんど同様であるので、ここでの詳細な説明は省略し、異なる点のみ以下に説明する。

【0025】ここで、クロック $1/2\text{CK}1$ およびクロック $1/4\text{CK}2$ の立ち上がりは、前記前記マスター部4および前記スレイブ部5の特性によって、図2のようにそれぞれクロック $1/2\text{CK}1$ の立ち上がりおよび立ち下がりに対して、 τ_1 だけ遅延する。また、前記第1セレクタ回路1および第2のセレクタ回路2の各々の出力Q1および出力Q2は、各セレクタ回路1, 2の特性によって、それぞれ前記クロック $1/2\text{CK}1$ およびクロック $1/4\text{CK}2$ の立ち上がりに対して τ_2 だけ遅延する。

【0026】取り扱うデータがさらに高速になってくると、遅れ時間 τ_1 と τ_2 との合計が周期Tより大きくなる場合がある。このとき、仮に第3のセレクタ回路3にクロックとして図3のクロック $1/2\text{CK}1$ を与えたとすると、データとクロックとのタイミングがずれてしまうという不具合が生ずる。

【0027】しかし、本実施例においては、前記第3のセレクタ3に対して、上記遅延を補償したクロック $1/2\text{CK}2$ を独立に与えるように構成したので、取り扱うデータが高速になって遅れ時間 τ_1 と τ_2 との合計が周期Tより大きくなつたとしても、第3のセレクタ回路3のデータとクロックとのタイミングがずれてしまうという不具合を回避することができる。

【0028】このように、本実施例の多重化回路では、前記遅れ時間 τ_1 , τ_2 の影響を無視することができる所以、最大動作速度を各セレクタ回路の動作速度のみで決定することができる。

【0029】また、これに加えて、従来に比較して集積規模も大きくしなくてすむという利点もある。それゆえ、本発明の多重化回路は、極めて高速に動作させることが可能である。

【0030】もちろん、この4対1の多重化回路の前段にさらにセレクタ回路を設けて、8対1以上の任意の多*

* 重化回路を構成することができる。なお、上記遅延の補償は、例えばクロック $1/2\text{CK}2$ 用のケーブルの長さを適宜調整することによって、すなわちケーブルでの遅れ時間を調整することによって行ってても良い。また、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0031】

【発明の効果】本発明の多重化回路では、データレイトの $1/2$ の周波数で動作するTフリップフロップのマスター部とスレイブ部との各々の出力のみでクロックのタイミングを合わせるようにした。

【0032】それゆえ、本発明を適用して4対1以上の多重化回路を構成する場合、その最大動作速度が、タイミング回路に律速されることなく、セレクタ回路の動作速度で決まる。したがって、タイミング回路による遅れが無視でき、データの多重化を高速に実行することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る多重化回路を示す図

【図2】図1の多重化回路の動作タイミングを説明するためのタイミングチャート

【図3】本発明の第2の実施例に係る多重化回路を示す図

【図4】多重化回路のセレクタ部の一例を示す図

【図5】従来のセレクタ回路のみで構成した4対1の多重化回路を示す図

【図6】従来のDフリップフロップでタイミング回路を構成した4対1の多重化回路を示す図

【符号の説明】

1…第1のセレクタ部

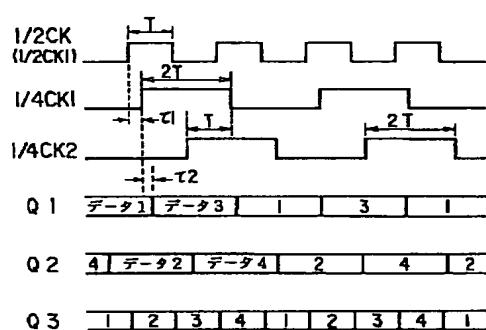
2…第2のセレクタ部

3…第3のセレクタ部

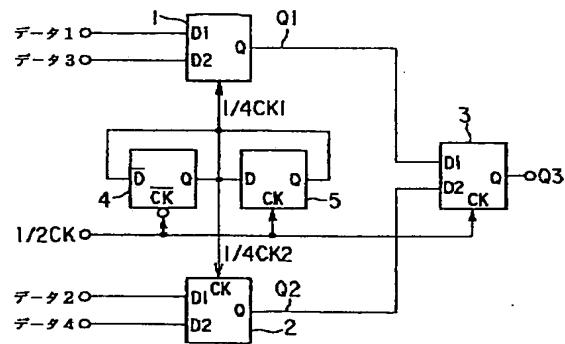
4…Tフリップフロップのマスター部

5…Tフリップフロップのスレイブ部

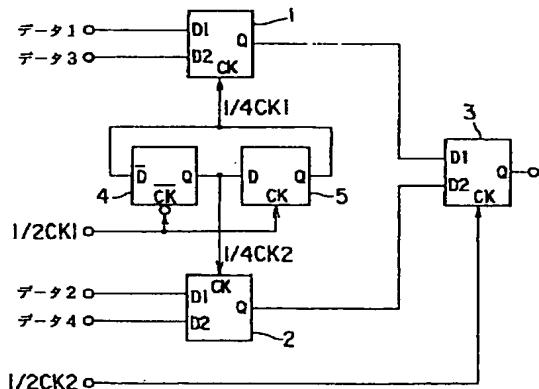
【図2】



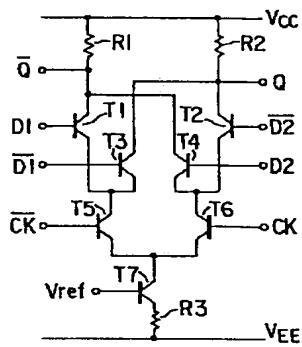
【図1】



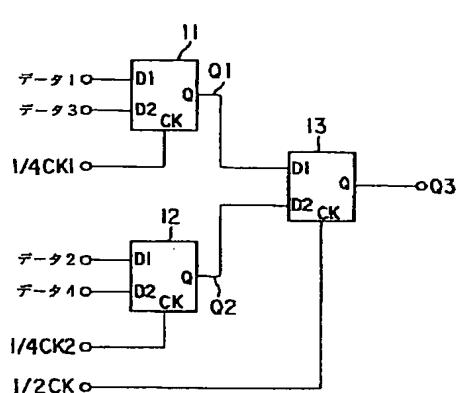
【図3】



【図4】



【図5】



【図6】

